



281

0015.0010

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: FURUHATA)
Serial No.: 09/459,305)
Filed: December 10, 1999)
For: SEMICONDUCTOR DEVICES, METHODS OF)
MANUFACTURING SEMICONDUCTOR)
DEVICES, CIRCUIT SUBSTRATES AND)
ELECTRONIC DEVICES)

Group Art Unit: 2811

Examiner: Tran, T.

#10
7/18/01
PaytonTRANSMITTAL OF CERTIFIED COPIES

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

Enclosed are certified copies of priority documents for U.S. Application Serial No. 09/459,305. These documents include Japanese Patent Application Number 10-352498, and Japanese Patent Application Number 11-239380. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Raynes

Reg. No. 39,809

KONRAD RAYNES & VICTOR LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
(310) 556-7983 (tele)
(310) 556-7984 (fax)

Dated: July 12, 2001

Customer No. 24033

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 12, 2001.

Alan S. Raynes

July 12, 2001

(Date)

JUL 18 2001
TC 2300 MAIL ROOM

RECEIVED



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1998年12月11日

出願番号
Application Number:

平成10年特許願第352498号

出願人
Applicant(s):

セイコーエプソン株式会社

RECEIVED

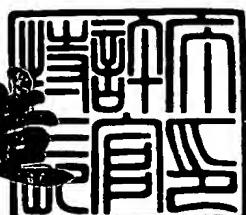
JUL 18 2001

FC 2800 MAIL ROOM

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3019576

【書類名】 特許願
【整理番号】 EP147401
【提出日】 平成10年12月11日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/788
【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器
【請求項の数】 19
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン
株式会社内
【氏名】 古畠 智之
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090398
【弁理士】
【氏名又は名称】 大渕 美千栄
【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項1】 半導体基板における隣同士の第1及び第2のセル領域のそれぞれに、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを積層して形成する積層工程と、

前記第1及び第2のセル領域のそれぞれに、ソース及びドレインを形成し、前記第1のセル領域の前記ソース及びドレインの一方と前記第2のセル領域の前記ソース及びドレインの一方とを電気的に接続する接続領域を形成する複数回の不純物領域形成工程と、

を含み、

前記接続領域は、前記複数回の不純物領域形成工程のうちの1回によって形成される不純物領域よりも電気的抵抗が低く形成される半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記積層工程で、前記半導体基板の表面における前記接続領域上に、溝が形成される半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法において、

前記積層工程は、

前記半導体基板の表面に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の導電膜を形成し、前記第1及び第2のセル領域のそれぞれに対応して前記第1の導電膜をエッチングして、前記溝の形成領域で前記第1の絶縁膜の一部が露出する工程と、

前記第1の絶縁膜の露出した一部及び前記第1の導電膜上に、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第2の導電膜を形成する工程と、

前記第2の導電膜を、前記コントロールゲートに対応してエッチングする工程と、

前記第2の絶縁膜を、前記誘電体膜に対応してエッチングするとともに、前記

溝の形成領域で、前記第1の絶縁膜がエッチングされて前記半導体基板の表面の一部が露出する工程と、

前記第1の導電膜を、前記フローティングゲートに対応してエッチングするとともに、前記半導体基板の表面の露出した一部がエッチングされて前記溝が形成される工程と、

を含む半導体装置の製造方法。

【請求項4】 請求項1から請求項3のいずれかに記載の半導体装置の製造方法において、

前記複数回の不純物領域形成工程は、前記接続領域を含む領域に第1の不純物を注入する工程と、前記第1及び第2のセル領域のソース及びドレインの形成領域を含む領域に第2の不純物を注入する工程と、を含む半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記第1の不純物は、パターニングされたレジストをマスクとして注入され、

前記第2の不純物は、前記コントロールゲート、誘電体膜及びフローティングゲートをマスクとして注入される半導体装置の製造方法。

【請求項6】 請求項4又は請求項5記載の半導体装置の製造方法において

前記第1の不純物は、前記第1のセル領域の前記フローティングゲートの直下の領域の端部から、前記第2のセル領域の前記フローティングゲートの直下の領域よりも手前に至るまで注入される半導体装置の製造方法。

【請求項7】 請求項4又は請求項5記載の半導体装置の製造方法において

前記第1の不純物は、前記第1及び第2のセル領域の前記フローティングゲートの直下の領域を避けて注入される半導体装置の製造方法。

【請求項8】 請求項4又は請求項5記載の半導体装置の製造方法において

前記第1の不純物は、前記第1及び第2のセル領域の前記フローティングゲートの直下の領域の端部を含む領域に注入される半導体装置の製造方法。

【請求項9】 請求項4から請求項8のいずれかに記載の半導体装置の製造

方法において、

前記第1の不純物のドーズ量は、前記第2の不純物のドーズ量よりも高い半導体装置の製造方法。

【請求項10】 請求項4から請求項9のいずれかに記載の半導体装置の製造方法において、

前記第1及び第2の不純物は、イオン打ち込み技術によって注入され、

前記第1の不純物を注入するエネルギーは、前記第2の不純物を注入するエネルギーよりも大きい半導体装置の製造方法。

【請求項11】 請求項4から請求項10のいずれかに記載の半導体装置の製造方法において、

前記第1の不純物を注入する工程を、前記第1及び第2のメモリセル領域の周辺回路を構成するMOSトランジスタのソース／ドレイン領域及びオフセット領域のうちの一方を形成する工程と同時に行う半導体装置の製造方法。

【請求項12】 請求項1から請求項3のいずれかに記載の半導体装置の製造方法において、

前記接続領域は、前記第1のセル領域の前記ソース及びドレインの一方と前記第2のセル領域の前記ソース及びドレインの一方とに隣接して形成され、

前記複数回の不純物領域形成工程は、

前記第1のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第1の不純物を注入する工程と、

前記第2のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第2の不純物を注入する工程と、

を含む半導体装置の製造方法。

【請求項13】 半導体基板における隣同士の第1及び第2のセル領域のそれぞれに積層されたトンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートと、

前記第1及び第2のセル領域のそれぞれに形成されたソース及びドレインと、

前記第1のセル領域の前記ソース及びドレインの一方と前記第2のセル領域の前記ソース及びドレインの一方とを電気的に接続する接続領域と、を含み、

前記接続領域は、前記第1及び第2のセル領域の前記ソース及びドレインのうちの少なくともいずれか一つよりも電気的抵抗が低い半導体装置。

【請求項14】 請求項13記載の半導体装置において、

前記半導体基板の表面における前記接続領域上に、溝が形成された半導体装置。

【請求項15】 請求項13又は請求項14記載の半導体装置において、

前記接続領域の不純物濃度は、前記第1及び第2のセル領域の前記ソース及びドレインの前記一方の不純物濃度と同じであり、前記第1及び第2のセル領域の前記ソース及びドレインの他方の不純物濃度よりも高い半導体装置。

【請求項16】 請求項13又は請求項14記載の半導体装置において、

前記接続領域の不純物濃度は、前記第1及び第2のセル領域の前記ソース及びドレインのうちの全ての不純物濃度よりも高い半導体装置。

【請求項17】 請求項13から請求項16のいずれかに記載の半導体装置において、

前記接続領域の少なくとも一部は、前記第1及び第2のメモリセル領域の周辺回路を構成するMOSトランジスタのソース／ドレイン領域及びオフセット領域のうちの一方と、ほぼ同一の不純物の深さ及び濃度を有する半導体装置。

【請求項18】 請求項13から請求項17のいずれかに記載の半導体装置が実装された回路基板。

【請求項19】 請求項18記載の回路基板を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

半導体装置として、例えばフラッシュメモリのように、フローティングゲートとコントロールゲートを備えたメモリが広く使用されている。メモリの最小単位となるメモリセルは、半導体基板の表面を酸化して形成したトンネル酸化膜（第

1の絶縁膜)と、その上に形成されたフローティングゲート(第1のポリシリコン膜)と、その上に形成された誘電体膜(第2の絶縁膜)と、その上に形成されたコントロールゲート(第2のポリシリコン膜)とを有する。また、半導体基板には、トンネル酸化膜の下であって、フローティングゲートを挟む位置に、ソース領域とドレイン領域とが形成されている。ソース領域及びドレイン領域の一方(第1の不純物領域)は、隣のメモリセルのソース領域及びドレイン領域の一方(第2の不純物領域)に、接続領域(第3の不純物領域)を介して接続されている。

【0003】

ここで、第1及び第2の不純物領域に要求される深さ及び不純物濃度で、第3の不純物領域も同時に形成すると、接続領域(第3の不純物領域)の抵抗が高くなり、信号の伝達が遅れるという問題がある。

【0004】

本発明は、この問題点を解決するものであり、その目的は、最小単位間の信号の伝達の遅れを防ぐ半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、半導体基板における隣同士の第1及び第2のセル領域のそれぞれに、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを積層して形成する積層工程と、

前記第1及び第2のセル領域のそれぞれに、ソース及びドレインを形成し、前記第1のセル領域の前記ソース及びドレインの一方と前記第2のセル領域の前記ソース及びドレインの一方とを電気的に接続する接続領域を形成する複数回の不純物領域形成工程と、

を含み、

前記接続領域は、前記複数回の不純物領域形成工程のうちの1回によって形成される不純物領域よりも電気的抵抗が低く形成される。

【0006】

本発明によれば、第1及び第2のセル領域同士を接続する接続領域の電気的抵抗が低いので、信号の伝達の遅れを防ぐことができる。ここで、電気的抵抗を低くするためには、接続領域の不純物の濃度を高めたり、接続領域を大きくするなど種々の方法があり得る。

【0007】

(2) この半導体装置の製造方法において、

前記積層工程で、前記半導体基板の表面における前記接続領域上に、溝が形成されてもよい。

【0008】

このような溝が形成されると、接続領域の形状が変形するが、本発明を適用することで、電気的抵抗を低くすることができる。

【0009】

(3) この半導体装置の製造方法において、

前記積層工程は、

前記半導体基板の表面に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の導電膜を形成し、前記第1及び第2のセル領域のそれぞれに対応して前記第1の導電膜をエッチングして、前記溝の形成領域で前記第1の絶縁膜の一部が露出する工程と、

前記第1の絶縁膜の露出した一部及び前記第1の導電膜上に、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第2の導電膜を形成する工程と、

前記第2の導電膜を、前記コントロールゲートに対応してエッチングする工程と、

前記第2の絶縁膜を、前記誘電体膜に対応してエッチングするとともに、前記溝の形成領域で、前記第1の絶縁膜がエッチングされて前記半導体基板の表面の一部が露出する工程と、

前記第1の導電膜を、前記フローティングゲートに対応してエッチングするとともに、前記半導体基板の表面の露出した一部がエッチングされて前記溝が形成される工程と、

を含んでもよい。

【0010】

このような工程で半導体装置を製造すると、接続領域の上に溝が形成されることを避けられない。この場合に、本発明を適用することは効果的である。

【0011】

(4) この半導体装置の製造方法において、

前記複数回の不純物領域形成工程は、前記接続領域を含む領域に第1の不純物を注入する工程と、前記第1及び第2のセル領域のソース及びドレインの形成領域を含む領域に第2の不純物を注入する工程と、を含んでもよい。

【0012】

これによれば、ソース及びドレインを形成するための不純物の注入と、接続領域を形成するための不純物の注入とは、別々に行われる。したがって、それぞれに最適の条件で不純物を注入することができるので、接続領域の抵抗値を下げることも容易である。

【0013】

(5) この半導体装置の製造方法において、

前記第1の不純物は、パターニングされたレジストをマスクとして注入され、

前記第2の不純物は、前記コントロールゲート、誘電体膜及びフローティングゲートをマスクとして注入されてもよい。

【0014】

第1の不純物は、接続領域を形成するためのものであるから、できるだけソース及びドレインと重複しないことが好ましい。そのため、第1の不純物は、パターニングされたレジストをマスクとして注入されることが好ましい。一方、第2の不純物は、ソース及びドレインを形成するためのものであるから、少なくともフローティングゲートの下方で連続的な層にならないことが必要である。そのためには、フローティングゲート及びその上方に積層されたものをマスクとすれば、レジストをパターニングする必要がなくなる。

【0015】

(6) この半導体装置の製造方法において、

前記第1の不純物は、前記第1のセル領域の前記フローイングゲートの直下の領域の端部から、前記第2のセル領域の前記フローイングゲートの直下の領域よりも手前に至るまで注入されてもよい。

【0016】

(7) この半導体装置の製造方法において、

前記第1の不純物は、前記第1及び第2のセル領域の前記フローイングゲートの直下の領域を避けて注入されてもよい。

【0017】

(8) この半導体装置の製造方法において、

前記第1の不純物は、前記第1及び第2のセル領域の前記フローイングゲートの直下の領域の端部を含む領域に注入されてもよい。

【0018】

(9) この半導体装置の製造方法において、

前記第1の不純物のドーズ量は、前記第2の不純物のドーズ量よりも高くてよい。

【0019】

こうすることで、接続領域の不純物濃度が高くなり、その電気的な抵抗値が低くなる。

【0020】

(10) この半導体装置の製造方法において、

前記第1及び第2の不純物は、イオン打ち込み技術によって注入され、

前記第1の不純物を注入するエネルギーは、前記第2の不純物を注入するエネルギーよりも大きくてよい。

【0021】

こうすることで、接続領域が深くまで形成されるので、断面積が大きくなって電気的な抵抗値が低くなる。

【0022】

(11) この半導体装置の製造方法において、

前記第1の不純物を注入する工程を、前記第1及び第2のメモリセル領域の周

迂回路を構成するMOSトランジスタのソース／ドレイン領域及びオフセット領域のうちの一方を形成する工程と同時にあってよい。

【0023】

こうすることで、周辺回路の形成と同時に第1の不純物を注入することができる。

【0024】

(12) この半導体装置の製造方法において、

前記接続領域は、前記第1のセル領域の前記ソース及びドレインの一方と前記第2のセル領域の前記ソース及びドレインの一方とに隣接して形成され、

前記不純物領域形成工程は、

前記第1のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第1の不純物を注入する工程と、

前記第2のセル領域のソース及びドレインの形成領域と、前記接続領域とに、第2の不純物を注入する工程と、

を含んでもよい。

【0025】

これによれば、第1の不純物によって第1のセル領域のソース及びドレインが形成され、第2の不純物によって第2のセル領域のソース及びドレインが形成される。また、接続領域には、第1及び第2の不純物が重複して注入されるので、その不純物濃度が高くなつて、電気的な抵抗値が低くなる。

【0026】

(13) 本発明に係る半導体装置は、半導体基板における隣同士の第1及び第2のセル領域のそれぞれに積層されたトンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートと、

前記第1及び第2のセル領域のそれぞれに形成されたソース及びドレインと、

前記第1のセル領域の前記ソース及びドレインの一方と前記第2のセル領域の前記ソース及びドレインの一方とを電気的に接続する接続領域と、を含み、

前記接続領域は、前記第1及び第2のセル領域の前記ソース及びドレインのうちの少なくともいずれか一つよりも電気的抵抗が低い。

【0027】

本発明によれば、第1及び第2のセル領域同士を接続する接続領域の電気的抵抗が低いので、信号の伝達の遅れを防ぐことができる。ここで、電気的抵抗を低くするためには、接続領域の不純物の濃度を高めたり、接続領域を大きくするなど種々の構成があり得る。

【0028】

(14) この半導体装置において、

前記半導体基板の表面における前記接続領域上に、溝が形成されてもよい。

【0029】

このような溝が形成されると、接続領域が変形するが、本発明を適用することで、電気的抵抗を低くすることができる。

【0030】

(15) この半導体装置において、

前記接続領域の不純物濃度は、前記第1及び第2のセル領域の前記ソース及びドレインの前記一方の不純物濃度と同じであり、前記第1及び第2のセル領域の前記ソース及びドレインの他方の不純物濃度よりも高くてよい。

【0031】

(16) この半導体装置において、

前記接続領域の不純物濃度は、前記第1及び第2のセル領域の前記ソース及びドレインのうちの全ての不純物濃度よりも高くてよい。

【0032】

(17) この半導体装置において、

前記接続領域の少なくとも一部は、前記第1及び第2のメモリセル領域の周辺回路を構成するMOSトランジスタのソース／ドレイン領域及びオフセット領域のうちの一方と、ほぼ同一の不純物の深さ及び濃度を有してもよい。

【0033】

(18) 本発明に係る回路基板には、上記半導体装置が実装される。

【0034】

(19) 本発明に係る電子機器は、上記回路基板を有する。

【0035】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照して説明する。

【0036】

(第1の実施の形態)

図1～図3は、本発明の第1の実施の形態に係る半導体装置を示す図である。なお、図1は図2に示すI—I線断面図であり、図3は図2に示すIII-III線断面図である。

【0037】

本実施の形態に係る半導体装置は、電気的に書き込みが可能なメモリ(ROM; Read Only Memory)であり、消去も電気的に行うように構成することができる。あるいは、消去を紫外線の照射によって行う紫外線消去型ROM、すなわちEPROM(Electrically Programmable ROM)に本発明を適用することもできる。この半導体装置は、不揮発性半導体記憶装置である。情報の記憶の最小単位は、メモリセルであり、複数のメモリセルが並べられてメモリアレイを構成することができる。この場合、複数のメモリセルは規則正しく、複数行複数列で並べることができる。以下の説明では、隣同士の第1及び第2のメモリセルについてのみ述べる。

【0038】

図1に示すように、本実施の形態に係る半導体装置は、第1のメモリセル領域10と、第2のメモリセル領域と、を有する。第1のメモリセル領域10には、トンネル絶縁膜12、フローティングゲート14、誘電体膜16及びコントロールゲート18が下から順に、半導体基板30上に積層されている。第2のメモリセル領域20には、トンネル絶縁膜22、フローティングゲート24、誘電体膜26及びコントロールゲート28が下から順に、半導体基板30上に積層されている。

【0039】

図3に示すように、コントロールゲート18、28は連続的に形成されており、電気的に導通している。フローティングゲート14、24は、埋め込み絶縁膜

62によって隔離されて、電気的に導通しないようになっている。埋め込み絶縁膜62は、例えば、LOCOS (Local Oxidation of Silicon) を適用して形成することができる。

【0040】

トンネル絶縁膜12、22及び誘電体膜16、26は、電気的な絶縁膜である。トンネル絶縁膜12、22は、酸化膜で形成されるときには、トンネル酸化膜とよばれる。半導体基板30が、シリコンウエハ等であって、シリコンで構成される場合には、トンネル絶縁膜12、22は、シリコン酸化膜で形成することができる。また、誘電体膜16、26は、シリコン酸化膜の間にシリコン窒化膜が形成されてなるONO膜で形成してもよい。フローティングゲート14、24及びコントロールゲート18、28は導電膜である。ここで、導電膜とは、導体又は半導体のいずれであってもよい。

【0041】

第1のメモリセル領域10には、ソース及びドレインの一方32及び他方34(以下、ソース／ドレイン32、34という)が形成されている。詳しくは、ソース／ドレイン32、34は、半導体基板30におけるトンネル絶縁膜12の形成された面を含む領域又はこの面の付近に形成される。また、ソース／ドレイン32、34は、トンネル絶縁膜12の下であって、フローティングゲート14を挟む位置に形成されている。ソース／ドレイン32、34は、フローティングゲート14の直下の領域の端部の一部に至るまで形成されている。ただし、ソース／ドレイン32、34は、半導体基板30の材料を介して隔離されている。

【0042】

第2のメモリセル領域20には、ソース及びドレインの一方36及び他方38(以下、ソース／ドレイン36、38という)が形成されている。詳しくは、ソース／ドレイン36、38は、半導体基板30におけるトンネル絶縁膜22の形成された面を含む領域又はこの面の付近に形成される。また、ソース／ドレイン36、38は、トンネル絶縁膜22の下であって、フローティングゲート24を挟む位置に形成されている。ソース／ドレイン36、38は、フローティングゲート24の直下の領域の端部の一部に至るまで形成されている。ただし、ソース

／ドレイン36、38は、半導体基板30の材料を介して隔離されている。

【0043】

第1及び第2のメモリセル領域10、20におけるソース及びドレインの一方32、36は、接続領域40を介して電気的に接続されている。接続領域40は、第1の不純物領域42の少なくとも一部と、第2の不純物領域44の少なくとも一部と、から構成される。図1には、接続領域40が、第1の不純物領域42の全部と第2の不純物領域44の一部とが重複して形成された例が示されている。

【0044】

第2の不純物領域44は、第1のメモリセル領域10におけるソース及びドレインの一方32を含む領域から、第2のメモリセル領域20におけるソース及びドレインの一方36を含む領域に至るまでの範囲で形成される。第2の不純物領域44は、第1及び第2のメモリセル領域10、20におけるソース及びドレインの一方32、36間で、接続領域40の一部も構成する。

【0045】

第1の不純物領域42は、部分的に第2の不純物領域44と重複してもよい。この場合、重複した領域では、不純物濃度が高くなるので電気的抵抗が低くなる。また、第1の不純物領域42は、第2の不純物領域44よりも深い位置まで形成されてもよい。この場合、接続領域40は、ソース及びドレインの一方32、36よりも深くまで形成されて断面が大きくなっているので、電気的抵抗が低くなっている。あるいは、第1の不純物領域42の不純物濃度は、第2の不純物領域44の不純物濃度よりも高くてもよい。この場合にも、接続領域40の電気的抵抗が低くなる。

【0046】

接続領域40の少なくとも一部の上には、溝46が形成されている。溝46は、トンネル絶縁膜12、24の間であって、半導体基板30の表面に形成されている。溝46は、本実施の形態に係る半導体装置の製造工程で形成されるもので、詳細は後述する。本実施の形態では、溝46が形成されるので、接続領域40が変形するが、上記構成により、電気的抵抗が低くならないようになっている。

【0047】

すなわち、ソース／ドレイン32、34、36、38の少なくともいずれか一つと同じ深さかつ同じ不純物濃度で、溝46の下に不純物領域が形成されると、溝46によって不純物領域が変形して電気的抵抗が、ソース／ドレイン32、34、36、38よりも高くなる。そこで、本実施の形態では、接続領域40の深さ及び不純物濃度の少なくとも一方を、ソース／ドレイン32、34、36、38の少なくともいずれか一つよりも深くまたは高くすることで、電気的な抵抗を低く抑えている。

【0048】

上述したトンネル絶縁膜12、22、フローティングゲート14、24、誘電体膜16、26、コントロールゲート18、28は、層間絶縁膜48にて覆われている。層間絶縁膜48は、シリコン酸化膜等の電気的な絶縁膜である。

【0049】

第1及び第2のメモリセル領域10、20におけるソース及びドレインの他方34、38の上方には、トンネル絶縁膜12、22及び層間絶縁膜48を貫通するコンタクトホール50、52が形成されている。コンタクトホール50、52を介して、電極52、54が、ソース及びドレインの他方34、38に電気的に接続されている。電極52、54と一体的に、第1又は第2のピット線BL1、BL2が形成されている。

【0050】

図4は、本発明を適用した第1の実施の形態に係る半導体装置の一部の回路を示す図である。同図には、メモリアレイの一部をなす複数のメモリセル1～4が示されている。メモリセル1、2は、図1に示すメモリセル領域10、20に形成される構成に相当するので、同一の構成には同一の符号を付す。以下、メモリセル1、2について説明する。

【0051】

メモリセル1、2は、図1にも示されるピット線BL1、BL2に接続されていることに加えて、ワード線WLに接続されている。ワード線WLは、メモリセル1、2のコントロールゲート18、28に接続されている。メモリセル1、2

のソース／ドレイン32、36は、ソース線SLによって接続されている。なお、ソース／ドレイン32、36及びソース線SLは、図1に示す第2の不純物領域44によって形成されている。第2の不純物領域44には、溝46が形成されるので、ソース線SLには抵抗Rが形成される。また、溝46を含む領域には、図1に示す接続領域40が形成されることで、抵抗Rの両端を抵抗R'（ $R' < R$ であることが好ましい）が直結する。したがって、抵抗Rに比較し低抵抗化が図られ、信号の遅れがなくなる。

【0052】

本実施の形態に係る半導体装置は、上記の構成になっており、以下その動作を説明する。

【0053】

メモリセル1、2への書き込み動作を説明する。ワード線WLを介してコントロールゲート18、28に高電圧Vch（例えば12V）を印加する。好ましくは同時に、メモリセル1、2のソース／ドレイン（この場合はドレイン）34、38のうち、書き込みを行うものに高電圧Vdh（例えば5.5V）を印加する。この高電圧Vdhは、ビット線BL1、BL2を介して印加される。好ましくは同時に、ソース線SLを、低電位VsL（例えば接地電位）に設定する。このとき、ソース線SLは、抵抗R'（接続領域40）が設けられているので、短時間で低電位VsLに設定することができる。

【0054】

こうすることで、ソース／ドレイン34、38のうち、高電圧Vdhが印加されたものから、ソース線SLの方向に電流が流れる。そのとき、ソース線SLから、フローティングゲート14、24に電子（ホットエレクトロンと呼ばれることがある。）が注入される。その結果、メモリセル1、2が構成するトランジスタのしきい値電圧Vthが、標準電圧Vcc（例えば5V）よりも高くなる。しきい値電圧Vthが標準電圧Vccよりも高くなれば情報が書き込まれたことになり、しきい値電圧Vthが標準電圧Vccよりも低ければ情報が書き込まれていないことになる。

【0055】

次に、メモリセル1、2からの読み出し動作を説明する。ワード線WLを介してコントロールゲート18、28に標準電圧Vcc（例えば5V）を印加する。このとき、メモリセル1、2のうち、書き込みが行われているものは、しきい値電圧Vthが標準電圧Vccより高いので、メモリセル1、2が構成するトランジスタは、OFFである。また、メモリセル1、2のうち、書き込みが行われていないものは、しきい値電圧Vthが標準電圧Vccより低いので、メモリセル1、2が構成するトランジスタは、ONとなる。例えば、ソース線SLと、ビット線BL1、BL2と、を異なる所定の電位に設定し、ビット線BL1、BL2を流れる電流を検出することで、トランジスタのON、OFFを検出し、書き込みの有無を判断することができる。この場合にも、ソース線SLは、抵抗R'（接続領域40）が設けられているので、短時間で所定の電位に設定することができる。

【0056】

次に、メモリセル1、2の消去の動作を説明する。ソース線SLに高電圧Vsh（例えば5V）を印加する。好ましくは同時に、ワード線WLを介してコントロールゲート18、28に、少なくとも接地電位以下の低電圧Vcl（例えば-7V）を印加する。好ましくは同時に、メモリセル1、2のソース／ドレイン34、38のうち、消去が行われるもの（一般的には全部）は、ビット線BL1、BL2を介して浮遊状態（オープン）に保たれる。

【0057】

こうすることで、フローティングゲートからソース線SLの方向に、電子が引き抜かれる。そして、しきい値電圧Vthが標準電圧Vccよりも低くなるので、書き込まれていない状態となって消去が完了する。

【0058】

次に、本発明の第1の実施の形態に係る半導体装置の製造方法を、図5～図12を参照して説明する。

【0059】

まず、図5に示すように、半導体基板30の表面の上に第1の絶縁膜112を形成し、その上に第1の導電膜114を形成する。第1の絶縁膜112を構成する材料は電気的に絶縁性を有する。第1の絶縁膜112は、例えば熱酸化法によ

って半導体基板30の表面に酸化膜を形成して得ることができる。半導体基板30がシリコンから構成される場合には、第1の絶縁膜112はシリコン酸化膜である。第1の絶縁膜112の厚みは、7~10nm程度とすることが好ましい。第1の絶縁膜112は、エッティングされてトンネル絶縁膜12、22になる。第1の絶縁膜112がシリコン酸化膜の場合は、トンネル絶縁膜12、22は、トンネル酸化膜である。

【0060】

第1の導電膜114を構成する材料は、電気的な導体のみならずシリコン等の半導体も含む。第1の導電膜114は、例えばCVD法によって、第1の絶縁膜112上にポリシリコン膜を形成して得ることができる。第1の導電膜114の厚みは、100~200nm程度とすることが好ましい。第1の導電膜114は、エッティングされてフローティングゲート14、24になる。

【0061】

次に、図6に示すように、第1及び第2のメモリセル領域10、20に対応して、第1の導電膜114の一部を選択的にエッティング除去し、その上に第2の絶縁膜116を形成する。第1の導電膜114のエッティングは、例えばフォトリソグラフィの技術によって行うことができる。また、ここで、適用されるエッティングは選択エッティングであり、第1の導電膜114をエッティングするが、第1の絶縁膜112をエッティングしないように条件が設定される。

【0062】

第2の絶縁膜116は、第1の導電膜114におけるエッティングされて残った部分と、第1の導電膜114の一部がエッティング除去されて露出した第1の絶縁膜112と、の上に形成される。第2の絶縁膜116は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を積層して形成してもよい。この場合の第2の絶縁膜116はONO膜である。ここで、シリコン酸化膜は、CVD法又は熱酸化膜法で形成することができ、シリコン窒化膜は、CVD法により形成することができる。

【0063】

次に、図7に示すように、第2の絶縁膜116上に、第2の導電膜118を形

成する。第2の導電膜118を構成する材料は、電気的な導体のみならずシリコン等の半導体も含む。第2の導電膜118は、例えばCVD法によって、第2の絶縁膜116上にポリシリコン膜を形成して得ることができる。第2の導電膜118の厚みは、200~400nm程度とすることが好ましい。なお、第2の導電膜118の他の例として、厚さ80~200nmのポリシリコン膜と、その上に形成された厚さ80~200nmのWSi₂、MoSi₂、CoSi₂、TiSi₂などからなるシリサイドとの積層構造がある。

【0064】

そして、第2の導電膜118上に、パターニングされたレジスト120を形成する。レジスト120は、コントロールゲート18、28に相当する領域において、第2の導電膜118の表面を覆うようにパターニングされる。

【0065】

次に、レジスト120をマスクとして、第2の導電膜118を選択的にエッチングして、図8に示すように、コントロールゲート18、28を形成する。ここで適用されるエッチングは、選択エッチングであるため、第2の絶縁膜116はエッチングされない。

【0066】

続いて、レジスト120及びコントロールゲート18、28をマスクとして、第2の絶縁膜116を選択的にエッチングする。エッチングにより、第2の絶縁膜116におけるコントロールゲート18、28の直下の部分が残り、それ以外の部分が除去される。その結果、図9に示すように、誘電体膜16、26が形成される。また、第2の絶縁膜116における第1の絶縁膜112上に形成された部分も、エッチングにより除去されるので、第1の絶縁膜112の一部が露出する。この露出する部分は、第1及び第2のメモリセル領域10、20の間の領域である。

【0067】

ここで適用されるエッチングは選択エッチングであるが、第1の絶縁膜112が第2の絶縁膜116と同等の性質を有する場合、例えば共に酸化膜である場合などには、第2の絶縁膜116とともに第1の絶縁膜112もエッチングされる

。すなわち、第2の絶縁膜116が除去されて露出した第1の絶縁膜112の部分がエッティングされる。こうして、第1及び第2のメモリセル領域10、20の間で、半導体基板30の表面の一部が露出する。また、第1の絶縁膜112は、エッティングされて、トンネル絶縁膜12、22となる。

【0068】

次に、レジスト120及びコントロールゲート18、28をマスクとして、第1の導電膜114を選択的にエッティングする。エッティングにより、第1の導電膜114における誘電体膜16、26の直下の部分が残り、それ以外の部分が除去される。その結果、図10に示すように、フローティングゲート14、24が形成される。

【0069】

ここで適用されるエッティングは選択エッティングであるが、第1の導電膜114が半導体基板30と同等の性質を有する場合、例えば第1の導電膜114がシリコンで形成される場合などには、第1の導電膜114とともに半導体基板30もエッティングされる。すなわち、図9に示すように、半導体基板30の表面における第1及び第2のメモリセル領域10、20の間で露出した部分がエッティングされる。こうして、第1及び第2のメモリセル領域10、20の間で、半導体基板30の表面に溝46が形成される。なお、溝46の深さは、100～300nm程度となる場合がある。

【0070】

次に、レジスト120を除去し、図11に示すように、別のパターニングされたレジスト130を形成する。レジスト130は、少なくとも、半導体基板30に形成された溝46を避けて形成される。レジスト130は、溝46及び溝46の開口を形成する端部を含む領域を避けて形成することが好ましい。そして、少なくとも溝46が露出し、溝46以外の領域がレジスト130にて覆われる。または、溝46及び溝46の開口を形成する端部を含む領域が露出し、これ以外の領域がレジスト130にて覆わることが好ましい。

【0071】

レジスト130をマスクとして、半導体基板30の表面に第1の不純物140

を注入する。例えば、イオン打ち込みの技術によって、40～120 keVのエネルギーで $1 \times 10^{14} \sim 6 \times 10^{15} / \text{cm}^2$ のドーザ量の条件によるリンのイオンと、30～80 keVのエネルギーで $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ のドーザ量の条件によるリン又はヒ素のイオンと、のいずれか一方又は両方を注入をする。これらのイオンが第1の不純物140の一例である。第1の不純物140の注入後、アニールを行って、第1の不純物領域42を形成する。第1の不純物領域42は、例えばN⁺型領域である。第1の不純物領域42の深さは、200～600 nm程度、不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21} / \text{cm}^3$ 程度とすることができます。第1の不純物領域42を形成するときのアニールの条件は、雰囲気がN₂又はN₂／O₂、温度が900～950度程度、時間が30～180分程度とすることができます。

【0072】

次に、レジスト130を除去し、図12に示すように、フローティングゲート14、24をマスクとして、半導体基板30の表面に第2の不純物150を注入する。例えば、イオン打ち込みの技術によって、40～120 keVのエネルギーで $5 \times 10^{12} \sim 5 \times 10^{14} / \text{cm}^2$ のドーザ量の条件によるリンのイオンと、30～80 keVのエネルギーで $1 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ のドーザ量の条件によるリン又はヒ素のイオンと、のいずれか一方又は両方を注入をする。これらのイオンが第2の不純物150の一例である。

【0073】

フローティングゲート14、24がマスクになっているが、第2の不純物150は、フローティングゲート14、24の直下の部分の端部にも入り込む。第2の不純物150の注入後、アニールを行って、第2の不純物領域44を形成する。第2の不純物領域44は、例えば、N⁺型領域である。第2の不純物領域44の深さは、100～400 nm程度、不純物濃度は、 $1 \times 10^{17} \sim 1 \times 10^{21} / \text{cm}^3$ 程度とすることができます。

【0074】

第2の不純物領域44は、第1及び第2のメモリセル10、20のソース／ドレイン32、34、36、38を構成するとともに、ソース／ドレイン32、3

6を接続している。なお、第2の不純物領域44は、ソース／ドレイン32、36を接続する部分において溝46が形成されているので、溝46の端部の下方の部分が変形して、電気的な抵抗が高くなっている。

【0075】

本実施の形態では、少なくとも溝46の直下の領域、好ましくは溝46の直下の領域及び溝46の開口を形成する端部を含む領域に、第1の不純物領域42が形成されている。したがって、第2の不純物領域44における溝46によって変形した部分が、第1の不純物領域42によって補われる。その結果、溝46の下の部分あるいは溝46の下の部分及び溝の両側の部分が、第1及び第2の不純物領域42、44によって接続されるので、電気的抵抗を下げることができる。こうして、第1の不純物領域42の少なくとも一部と、第2の不純物領域44の一部と、によって接続領域40が形成される。接続領域40の電気的抵抗値は、第2の不純物領域44における溝46による変形部分の電気的抵抗値よりも低い。

【0076】

ここで、第1の不純物140を注入するエネルギーを、第2の不純物150を注入するエネルギーよりも大きくすれば、第1の不純物領域42を第2の不純物領域44よりも深くすることができる。この場合には、接続領域40が第2の不純物領域44よりも深くなることで、電気的抵抗を下げることができる。

【0077】

また、第1の不純物140のドーズ量を、第2の不純物150のドーズ量よりも高くすれば、第1の不純物領域42の不純物濃度が高くなるので、接続領域40の電気的抵抗を下げることができる。

【0078】

あるいは、第2の不純物領域44における溝46により変形した部分に、第1の不純物領域42を重ねて形成してもよい。この場合には、第2の不純物領域44における溝46により変形した部分の不純物濃度が高くなって、接続領域40の電気的抵抗を下げることができる。

【0079】

次に、図1に示すように、半導体基板30の表面全面に、例えばCVD法によ

り層間絶縁膜48を形成する。層間絶縁膜48は、例えばシリコン酸化膜44で形成することができる。層間絶縁膜48としてシリコン酸化膜の代わりに、PSG膜、SOG膜またはBPSG膜を用いてもよい。PSG膜、SOG膜またはBPSG膜を単独に用いた一層構造でもよいし、または、シリコン酸化膜、PSG膜、SOG膜またはBPSG膜を組み合わせた多層構造でもよい。

【0080】

そして、パターニングされたレジストを用いて、層間絶縁膜48及びトンネル絶縁膜12、22を選択的にエッチング除去し、ソース／ドレイン34、38の一部を露出させるコンタクトホール50、52を形成する。さらに、コンタクトホール50、52内に電極54、56を形成し、その上にピット線BL1、BL2を形成する。これらの形成は、公知の方法で行われる。

【0081】

以上の工程によって、図1に示す半導体装置を得ることができる。この半導体装置によれば、第1及び第2のメモリセル領域10、20同士を接続する接続領域40の電気的抵抗が低いので、信号の伝達の遅れを防ぐことができる。

【0082】

(第2の実施の形態)

図13は、本発明の第2の実施の形態に係る半導体装置を説明する図である。本実施の形態では、第1の不純物領域が形成される範囲において、第1の実施の形態と異なる。すなわち、図13に示す第1の不純物領域242が、図2に示す第1の不純物領域42と異なる。これ以外の構成は、第1の実施の形態と同じであり、同一の符号を付す。以下、第2の実施の形態に係る半導体装置の製造方法を説明する。

【0083】

まず、第1の実施の形態の図5～図10に示す工程を行う。そして、図14に示すように、パターニングされたレジスト230を形成する。レジスト230は、溝46あるいは溝46及び溝46の開口を形成する端部を避けて形成されている。さらに、レジスト230は、第1及び第2のメモリセル領域10、20のうちの一方において、コントロールゲート18、誘電体膜16及びフローティング

ゲート14の一部を避けて形成されている。すなわち、第1及び第2のメモリセル領域10、20のうちの一方において、コントロールゲート18、誘電体膜16及びフローティングゲート14の一部が露出するように、レジスト230が形成されている。ここで、露出部分は、第1及び第2のメモリセル領域10、20の間を向く部分である。

【0084】

このようにパターニングされたレジスト230をマスクとして、第1の不純物140を注入する。その条件は、第1の実施の形態で説明した第1の不純物140を注入するときの条件でもよい。

【0085】

こうして形成された第1の不純物領域242は、溝46の直下の領域あるいは溝46及び溝46の開口を形成する端部の直下の領域を含む。したがって、第1の実施の形態で説明した効果を、本実施の形態でも達成することができる。さらに、本実施の形態では、第1の不純物領域242の一方の端部は、フローティングゲート14の直下の領域の端部に至る。

【0086】

続いて、第1の実施の形態の図12に示す工程を行い、さらにその後の工程を行って、半導体装置を得ることができる。

【0087】

(第3の実施の形態)

図15は、本発明の第3の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、第1の不純物領域が形成される範囲において、第1の実施の形態と異なる。すなわち、図15に示す第1の不純物領域342が、図2に示す第1の不純物領域42と異なる。これ以外の構成は、第1の実施の形態と同じであり、同一の符号を付す。

【0088】

まず、第1の実施の形態の図5～図10に示す工程を行う。そして、図15に示すように、パターニングされたレジスト330を形成する。レジスト330は、溝46あるいは溝46及び溝46の開口を形成する端部を避けて形成されてい

る。さらに、レジスト330は、第1及び第2のメモリセル領域10、20の両方において、コントロールゲート18、28、誘電体膜16、26及びフローティングゲート14、24の一部を避けて形成されている。すなわち、第1及び第2のメモリセル領域10、20の両方において、コントロールゲート18、28、誘電体膜16、26及びフローティングゲート14、24の一部が露出するように、レジスト330が形成されている。ここで、露出部分は、第1及び第2のメモリセル領域10、20の間を向く部分である。

【0089】

このようにパターニングされたレジスト330をマスクとして、第1の不純物140を注入する。その条件は、第1の実施の形態で説明した第1の不純物140を注入するときの条件でもよい。

【0090】

こうして形成された第1の不純物領域342は、溝46の直下の領域あるいは溝46及び溝46の開口を形成する端部の直下の領域を含む。したがって、第1の実施の形態で説明した効果を、本実施の形態でも達成することができる。さらに、本実施の形態では、第1の不純物領域342の両端部は、第1及び第2のメモリセル領域10、20のフローティングゲート14、24の直下の領域の端部に至る。

【0091】

続いて、第1の実施の形態の図12に示す工程を行い、さらにその後の工程を行って、半導体装置を得ることができる。

【0092】

(第4の実施の形態)

図16及び図17は、本発明の第4の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、第1及び第2の不純物領域が形成される範囲において、第1の実施の形態と異なる。また、第1の実施の形態と同じ構成には同一の符号を付して説明する。

【0093】

まず、第1の実施の形態の図5～図10に示す工程を行う。そして、図15に

示すように、パターニングされたレジスト420を形成する。レジスト420は、溝46あるいは溝46及び溝46の開口を形成する端部を避けて形成されている。さらに、レジスト420は、第1及び第2のメモリセル領域10、20の一方を避けて形成されている。そして、レジスト420は、第1及び第2のメモリセル領域10、20の他方を覆っている。すなわち、第1及び第2のメモリセル領域10、20の一方の表面と、第1及び第2のメモリセル領域10、20の間の領域の表面と、が露出するように、レジスト420は形成されている。

【0094】

このようにパターニングされたレジスト420をマスクとして、第1の不純物450を注入する。例えば、第1の実施の形態で説明した第2の不純物150を注入するときの条件で、第1の不純物450を注入することができる。

【0095】

こうして形成された第1の不純物領域442は、溝46の直下の領域あるいは溝46及び溝46の開口を形成する端部の直下の領域を含む。また、第1の不純物領域442は、第1及び第2のメモリセル領域10、20のうちのレジスト420が避けた方において、フローティングゲート14の両側の領域も含む。また、第1の不純物領域442は、フローティングゲート14の直下の領域の端部も含む。

【0096】

この第1の不純物領域442におけるフローティングゲート14の両側の部分は、ソース及びドレイン432、434になる。

【0097】

次に、図17に示すように、パターニングされたレジスト422を形成する。レジスト422は、溝46あるいは溝46及び溝46の開口を形成する端部を避けて形成されている。さらに、レジスト422は、第1及び第2のメモリセル領域10、20の他方を避けて形成されている。そして、レジスト422は、第1及び第2のメモリセル領域10、20の一方を覆っている。すなわち、第1及び第2のメモリセル領域10、20の他方の表面と、第1及び第2のメモリセル領域10、20の間の領域の表面と、が露出するように、レジスト422は形成さ

れている。

【0098】

このようにパターニングされたレジスト422をマスクとして、第2の不純物452を注入する。例えば、第1の実施の形態で説明した第2の不純物150を注入するときの条件で、第2の不純物452を注入することができる。

【0099】

こうして形成された第2の不純物領域444は、溝46の直下の領域あるいは溝46及び溝46の開口を形成する端部の直下の領域を含む。また、第2の不純物領域444は、第1及び第2のメモリセル領域10、20のうちのレジスト422が避けた方において、フローティングゲート24の両側の領域も含む。また、第2の不純物領域444は、フローティングゲート24の直下の領域の端部も含む。

【0100】

この第2の不純物領域444におけるフローティングゲート24の両側の部分は、ソース及びドレイン436、438になる。

【0101】

上記第1及び第2の不純物領域442、444は、溝46の直下の領域あるいは溝46及び溝46の開口を形成する端部の直下の領域で、重複して形成されて接続領域440を構成している。接続領域440は、溝46が形成されているので部分的に変形しているが、第1及び第2の不純物450、452の両方が注入されているので、不純物濃度が高くなつて電気的抵抗が低くなつてゐる。したがつて、第1の実施の形態で説明した効果を、本実施の形態でも達成することができる。

【0102】

続いて、第1の実施の形態で説明した層間絶縁膜48の形成工程を行い、さらにその後の工程を行つて、半導体装置を得ることができる。

【0103】

図18には、上述した実施の形態に係る方法によって製造された半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例え

ばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置1100の外部電極とを機械的に接続することでそれらの電気的導通が図られる。

【0104】

そして、この回路基板1000を備える電子機器として、図19には、ノート型パーソナルコンピュータ1200が示されている。

【0105】

本発明は、上記実施の形態に限定されず、種々の変形が可能である。例えば、図1、14、15に示す第1の不純物領域42、242、342は、メモリセルの周辺回路を構成するMOSトランジスタのソース／ドレイン領域又はオフセット領域と同じ深さ及び濃度で、好ましくは同時に形成してもよい。特に、EPR-OMのメモリセルにおいては、周辺回路のNチャンネルMOSトランジスタのオフセット領域を形成するときに、メモリセルの第1の不純物領域も同時に形成できるので、工程を増やすことなく特性の改善が可能である。

【0106】

図20に示す例では、メモリセル500の周辺回路を構成するMOSトランジスタ502のソース／ドレイン領域504、506と同じ深さ及び濃度で、第1の不純物領域508が形成されている。図21に示す例では、メモリセル600の周辺回路を構成するMOSトランジスタ602のソース／ドレイン領域608、610のそれぞれが、複数の不純物領域が重ねられて形成されており、オフセット領域604、606と同じ深さ及び濃度で、第1の不純物領域612が形成されている。

【図面の簡単な説明】

【図1】

図1は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図2】

図2は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図3】

図3は、本発明の第1の実施の形態に係る半導体装置を示す図である。

【図4】

図4は、本発明の第1の実施の形態に係る半導体装置の回路を示す図である。

【図5】

図5は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図6】

図6は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図7】

図7は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図8】

図8は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図9】

図9は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図10】

図10は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図11】

図11は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図12】

図12は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図13】

図13は、本発明の第2の実施の形態に係る半導体装置を示す図である。

【図14】

図14は、本発明の第2の実施の形態に係る半導体装置の製造方法を説明する図である。

【図15】

図15は、本発明の第3の実施の形態に係る半導体装置の製造方法を説明する図である。

【図16】

図16は、本発明の第4の実施の形態に係る半導体装置の製造方法を説明する図である。

【図17】

図17は、本発明の第4の実施の形態に係る半導体装置の製造方法を説明する図である。

【図18】

図18は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図19】

図19は、本実施の形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

【図20】

図20は、本発明の実施の形態の変形例を示す図である。

【図21】

図21は、本発明の実施の形態の変形例を示す図である。

【符号の説明】

10 第1のメモリセル領域（セル領域）

12 トンネル絶縁膜

14 フローティングゲート

16 誘電体膜

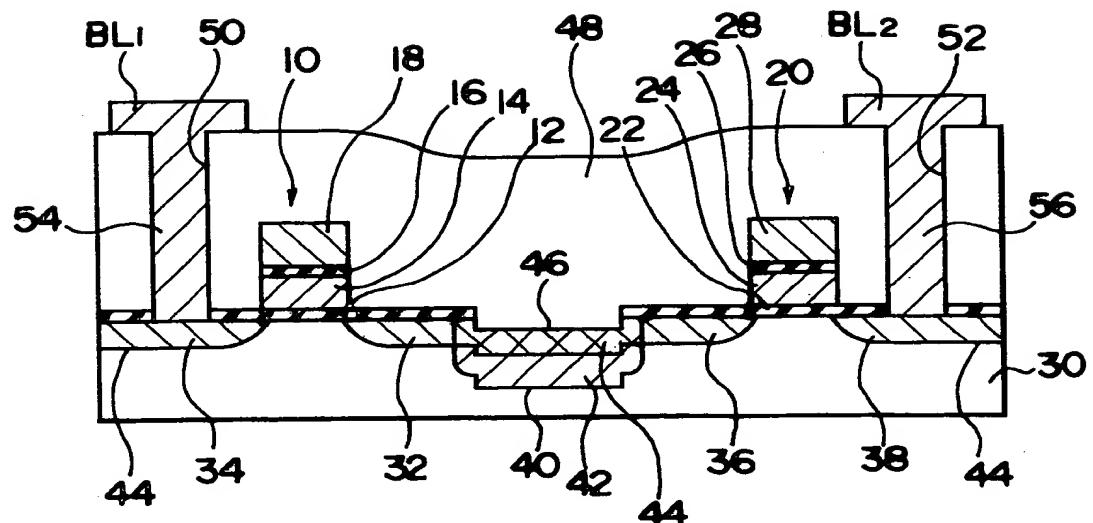
18 コントロールゲート

20 第2のメモリセル領域（セル領域）

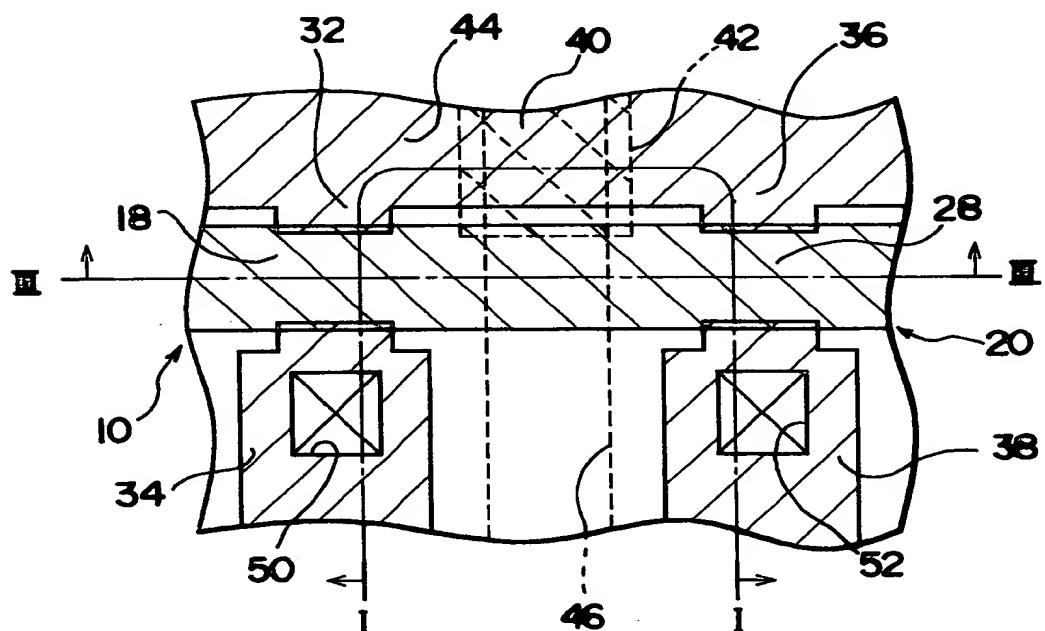
22 トンネル絶縁膜
24 フローティングゲート
26 誘電体膜
28 コントロールゲート
30 半導体基板
32 ソース／ドレイン
34 ソース／ドレイン
36 ソース／ドレイン
38 ソース／ドレイン
40 接続領域
42 第1の不純物領域
44 第2の不純物領域
46 溝
112 第1の絶縁膜
114 第1の導電膜
116 第2の絶縁膜
118 第2の導電膜
140 第1の不純物
150 第2の不純物

【書類名】 図面

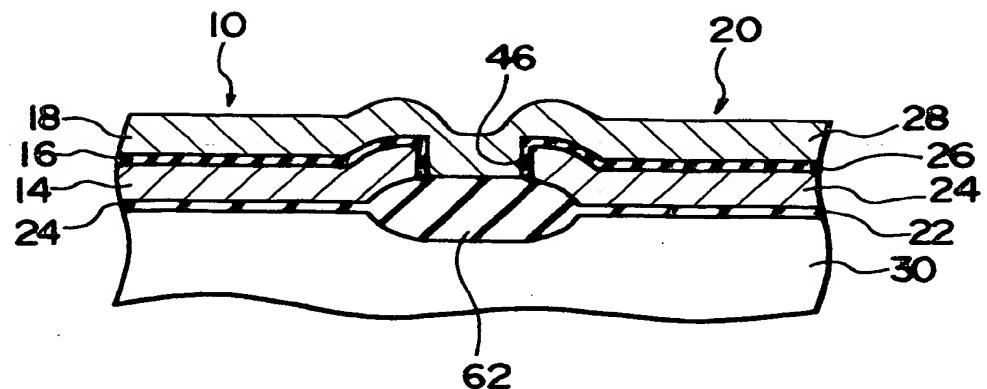
【図1】



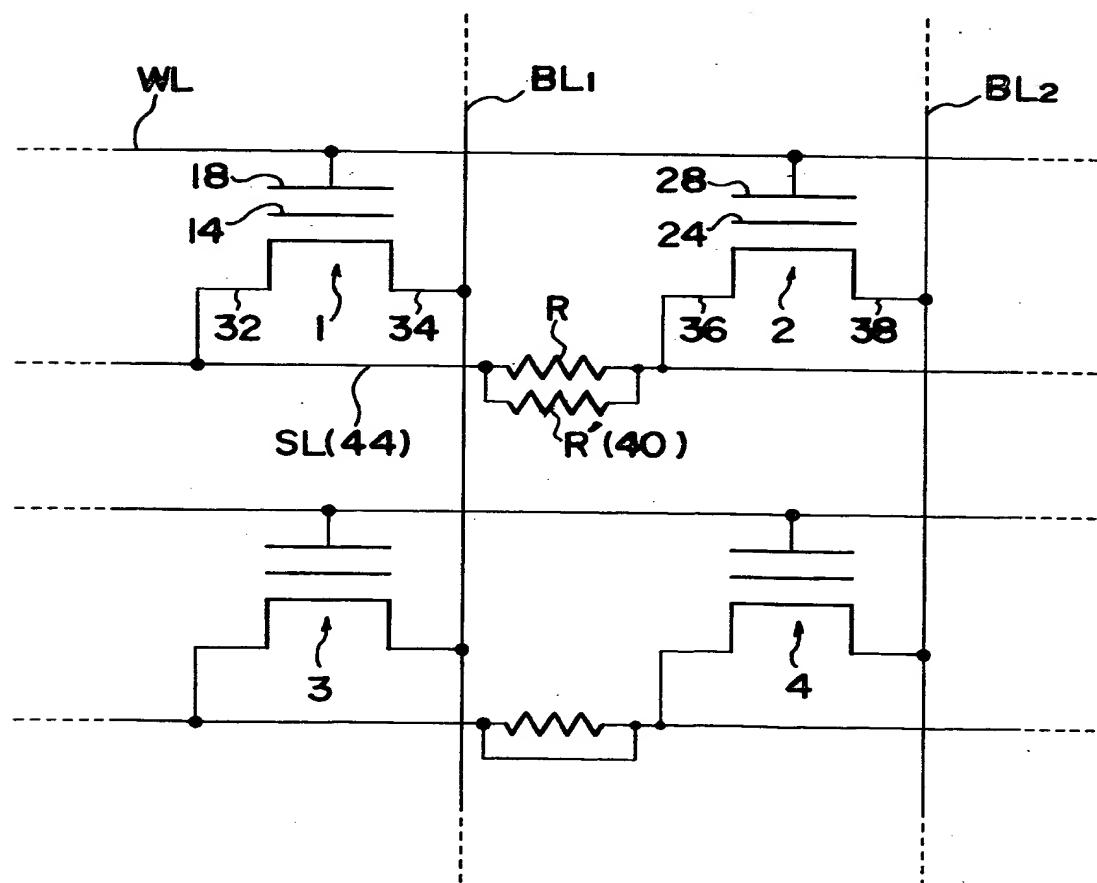
【図2】



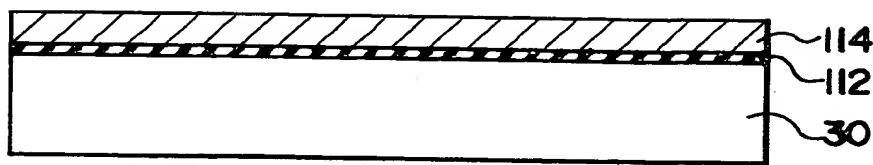
【図3】



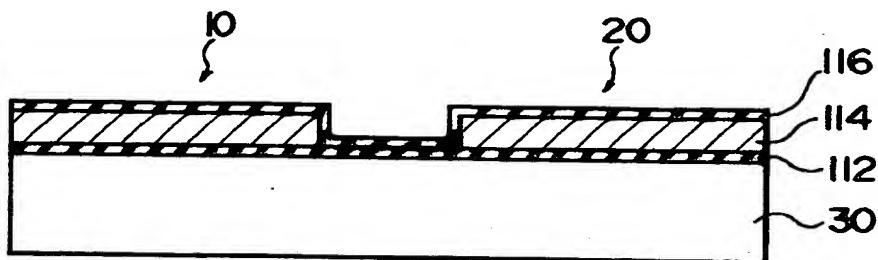
【図4】



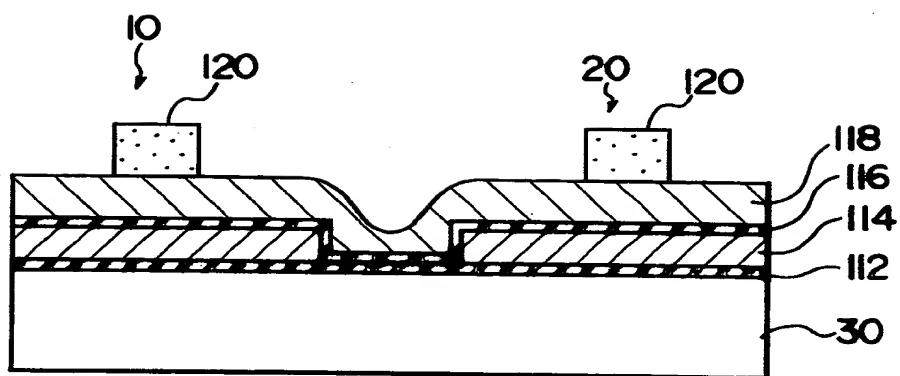
【図5】



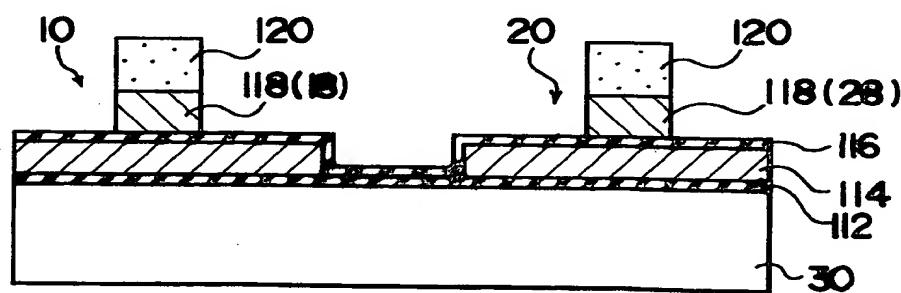
【図6】



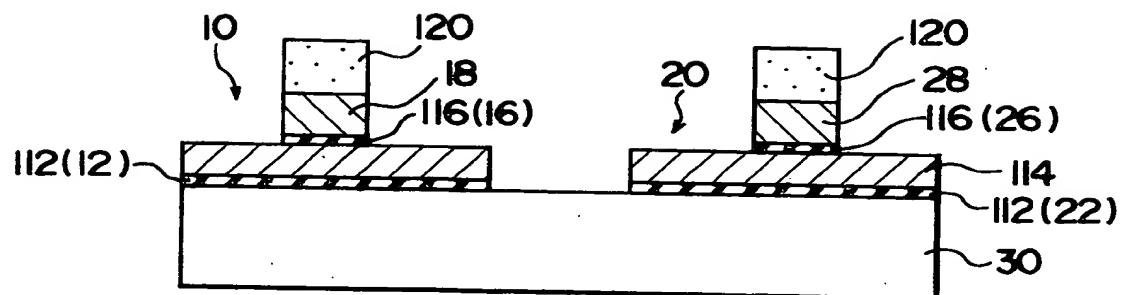
【図7】



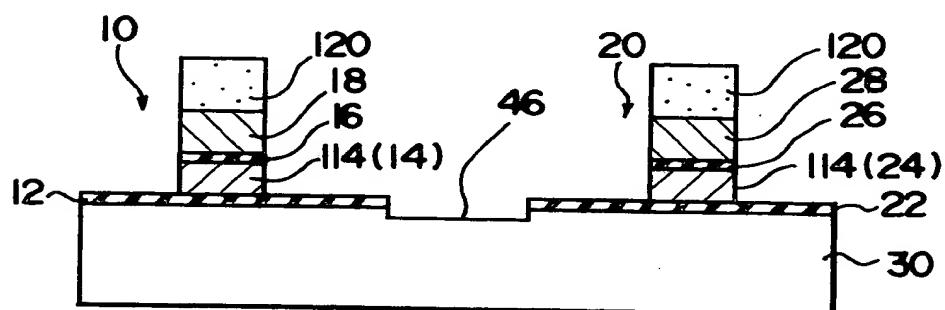
【図8】



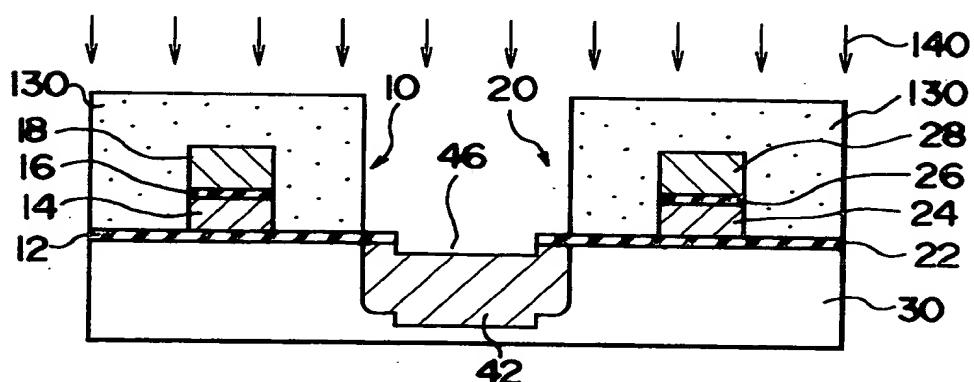
【図9】



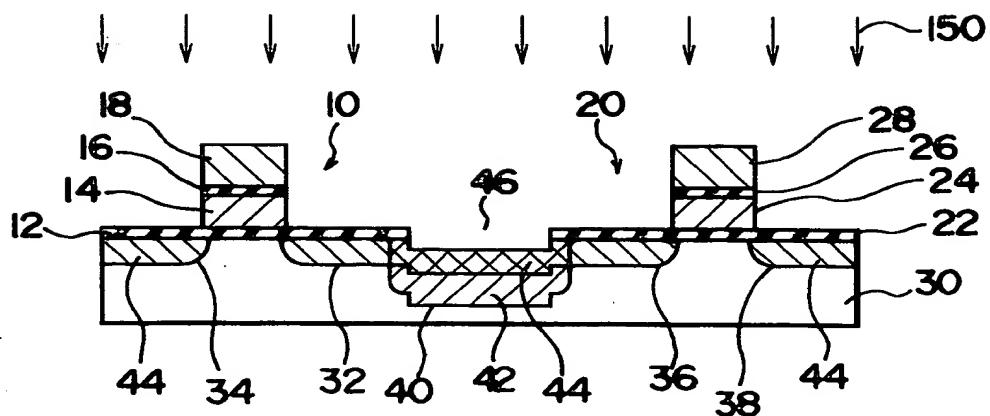
【図10】



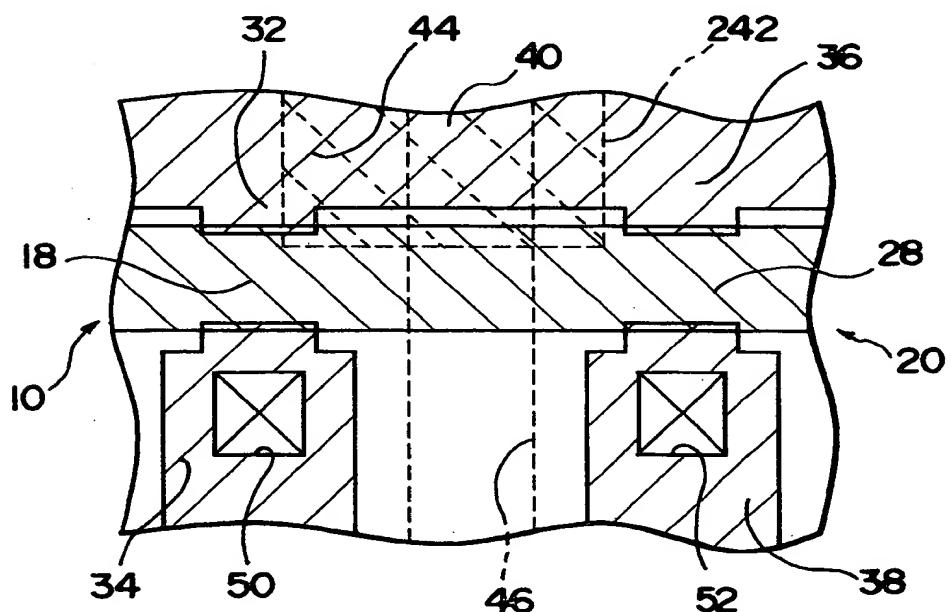
【図11】



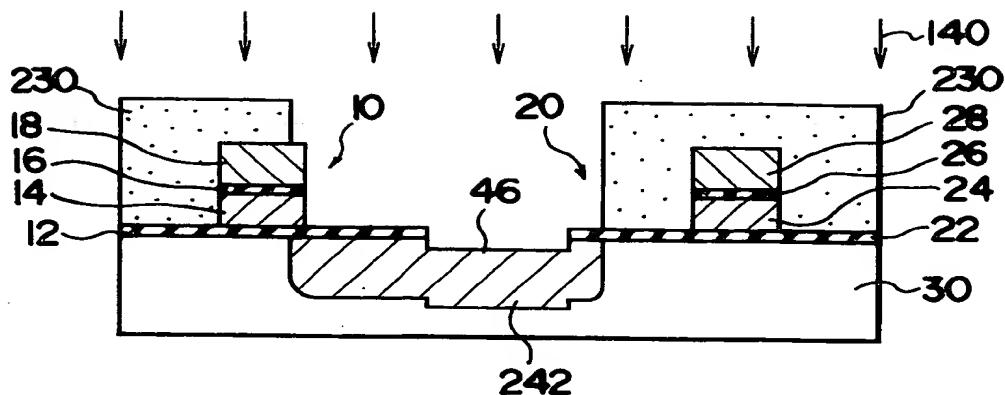
【図12】



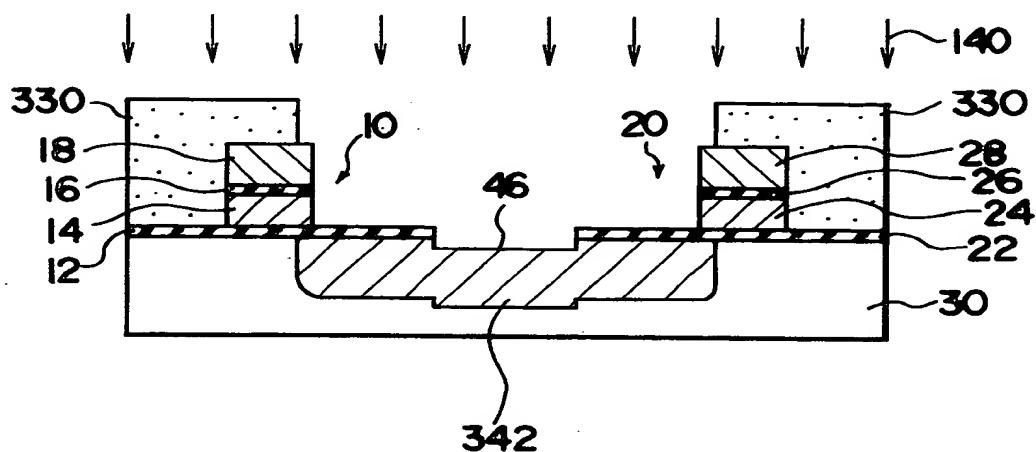
【図13】



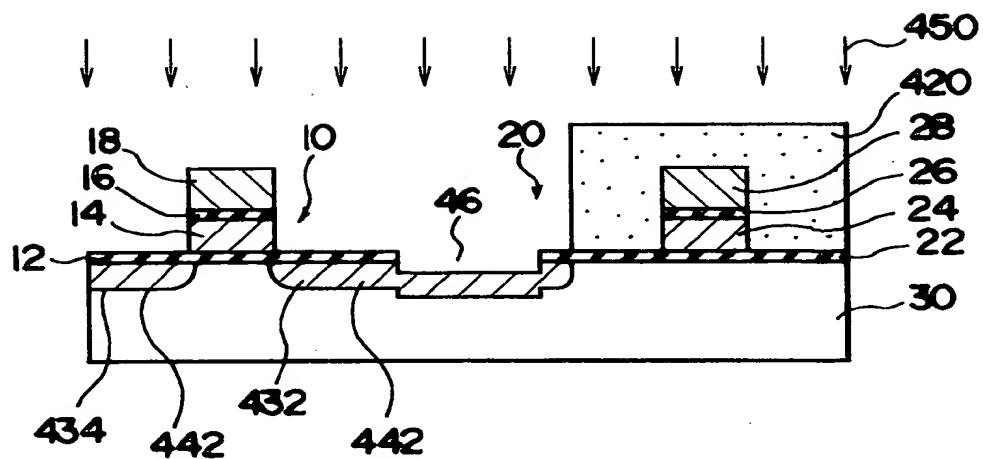
【図14】



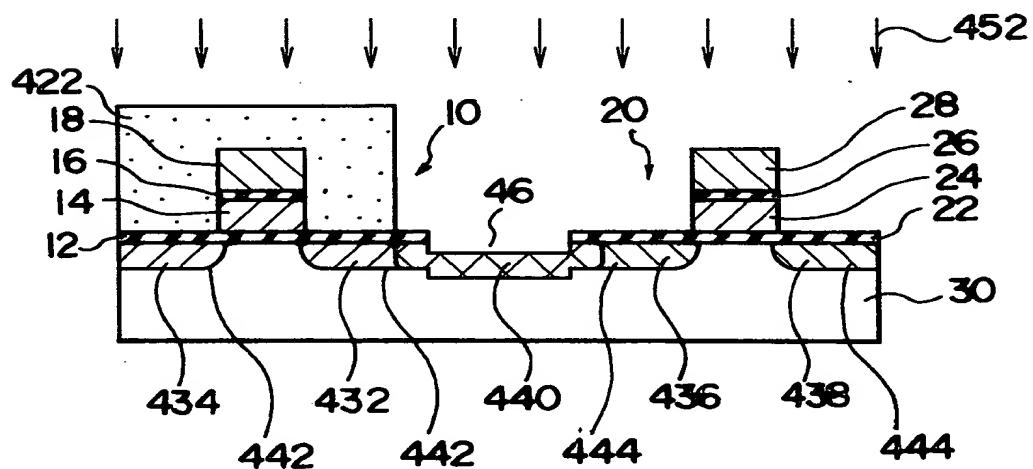
【図15】



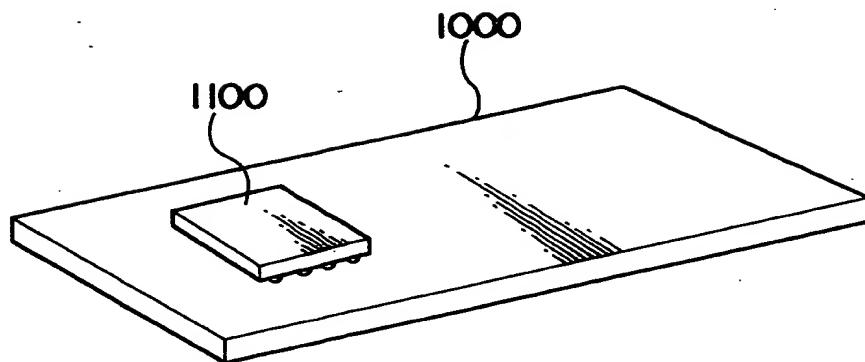
【図16】



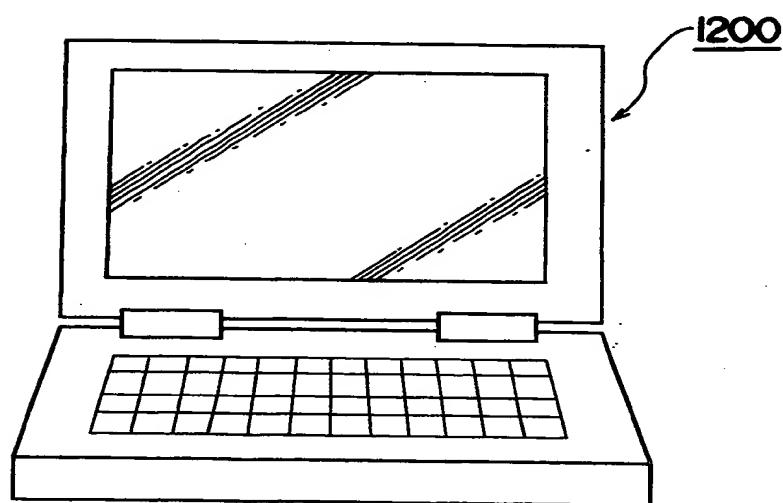
【図17】



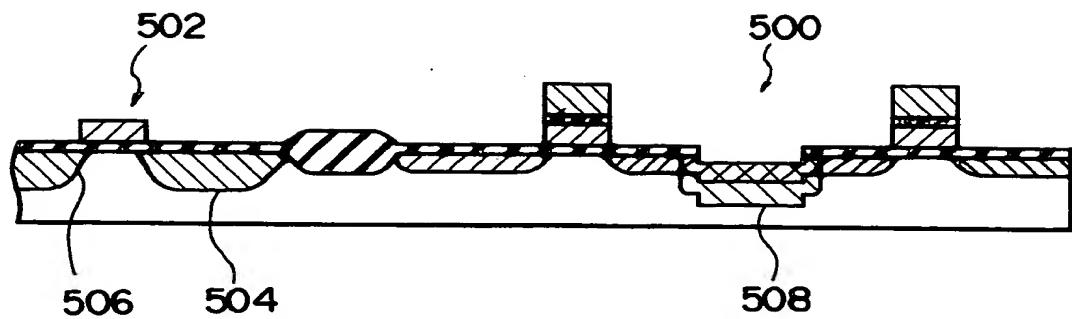
【図18】



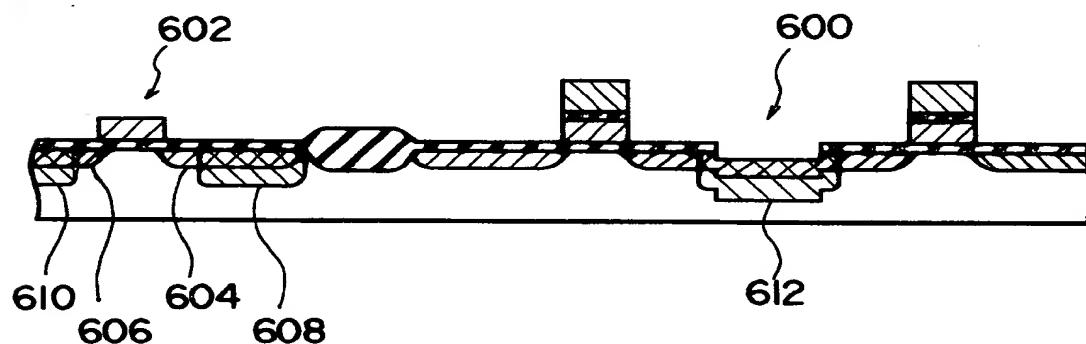
【図19】



【図20】



【図21】



【書類名】 要約書

【要約】

【課題】 最小単位間の信号の伝達の遅れを防ぐ半導体装置及びその製造方法、回路基板並びに電子機器を提供する。

【解決手段】 半導体基板30における隣同士の第1及び第2のメモリセル領域10、20に、トンネル絶縁膜12、22、フローティングゲート14、24、誘電体膜16、6及びコントロールゲート18、28を形成する積層工程と、第1及び第2のメモリセル領域10、20に、ソース及びドレイン32、34、36、38を形成し、第1のメモリセル領域10のソース及びドレインの一方32と第2のメモリセル領域20のソース及びドレインの一方36とを電気的に接続する接続領域40を形成する複数回の不純物領域形成工程と、を含み、接続領域40は、複数回の不純物領域形成工程の1回によって形成される不純物領域42、44よりも電気的抵抗が低く形成される。

【選択図】 図1

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369
 【住所又は居所】 東京都新宿区西新宿2丁目4番1号
 【氏名又は名称】 セイコーエプソン株式会社
 【代理人】 申請人
 【識別番号】 100090479
 【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 井上・布施合同特許事務所
 【氏名又は名称】 井上 一

【選任した代理人】

【識別番号】 100090387
 【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 井上・布施合同特許事務所
 【氏名又は名称】 布施 行夫

【選任した代理人】

【識別番号】 100090398
 【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 井上・布施合同特許事務所
 【氏名又は名称】 大渕 美千栄

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社